

⑪ 特 許 公 報 (B 2)

平5-62844

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公告 平成5年(1993)9月9日

H 03 F 3/30

8836-5 J

発明の数 1 (全4頁)

⑭ 発明の名称 マイクロ波モノリシック集積回路

⑮ 特 願 昭60-243653

⑯ 公 開 昭62-102811

⑰ 出 願 昭60(1985)10月29日

⑱ 昭62(1987)5月13日

⑲ 発 明 者 江 森 文 章 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 井出 直孝

㉒ 審 査 官 山 本 章 裕

1

2

㉓ 特許請求の範囲

1 半絶縁性化合物基板の主表面上に、複数の分布型増幅器を段間回路を介して縦続接続により多段構成した回路を含むマイクロ波モノリシック集積回路において、

上記段間回路の特性インピーダンスを上記マイクロ波モノリシック集積回路の入、出力特性インピーダンスより高く設定したことを特徴とするマイクロ波モノリシック集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、特にGaAs(ガリウム砒素)あるいはInP(インジウムリン)等の半絶縁性化合物基板上に形成されたマイクロ波モノリシック集積回路に関する。

〔概要〕

本発明は、半絶縁性化合物基板の主表面上に、複数の分布型増幅器を段間回路を介して多段構成にした回路を含むマイクロ波モノリシック集積回路において、

段間回路の特性インピーダンスをマイクロ波モノリシック集積回路の入、出力の特性インピーダンスよりも高くすることにより、

分布型増幅器を構成する電界効果トランジスタの総ゲート幅を狭くでき、低消費電力化、高周波化、高信頼性化を図ったものである。

〔従来の技術〕

半絶縁性化合物基板上に電界効果トランジスタを有する能動素子と、この能動素子の機能を発揮させるような受動素子とからなるマイクロ波モノリシック集積回路は、ハイブリッド集積回路に比べて高周波特性に優れ、小型低価格化が可能であり、かつ信頼性も高いことから、特に準ミリ、ミリ波領域では必要不可欠なデバイスとなつてゐる。なかでも、分布型増幅器は、回路構造上マイクロ波モノリシック集積回路に適しており、また、化合物半導体の準ミリ波動作の特徴を生かして、超広帯域増幅が可能であることから、多くの分野で実用化を迫られている。

マイクロ波モノリシック集積回路で構成される分布型増幅器では、複数の電界効果トランジスタが半絶縁性化合物基板主表面に並列に配置され、各々の電界効果トランジスタには高周波信号の位相速度を等しくする回路が接続されている。

回路が縦続接続された多段構成の従来技術について図を用いて説明する。

第2図は、従来のマイクロ波モノリシック集積回路の一例を示すブロック構成図である。従来、分布型増幅器の多段構成のものは、1段の分布型増幅器1、2を少なくとも2個同一チップ上に形成し、その間を段間回路3(線路でもよい。)を介して縦続接続する。段間回路3の入力インピーダンス7は、1段の分布型増幅器1、2の出力インピーダンス5、6と同じに、また、出力インピーダンス8は1段の分布型増幅器1、2の入力イ

ンピーダンス4, 9と同じに設定される。

この第2図の構成の回路をさらに詳しく第3図に示す。

分布型増幅器の利得、消費電力、帯域幅について次の関係がある。

利得 $\propto \log[\text{単位FETの相互コンダクタンス}gm \times \text{FET数}N \times \text{特性インピーダンス}Z_0 \times \text{段間インピーダンス}Z_0']$

消費電力 $P \propto \text{相互コンダクタンス}gm$

帯域 $Bw \propto (gm/Z_0 Z_0') (N/\text{単位FETゲート幅}Wg)$

第3図の回路は、FETのゲート幅 wg を $100\mu m$ 当たり $gm=0.025S$ (ジーメンズ)の得られるゲート長 $l=0.5\mu m$ 式FETを3個用いた分布型増幅器の2段構成とする。ここで段間のインピーダンスは Z_0' によって規定される。第3図の2段増幅器の利得は $Z_0'=50\Omega$ のときは、

$\log[25ms \times 3 \times 50 \times 50] \times k$ (比例定数) $\times 2$ (段)とすれば、比例定数 $k=2.5$ のとき、利得11.4dBが得られる。このときの消費電力は $100\mu m \times 3 \times 2=600\mu m$ の総ゲート幅であつて、ドレイン印加電圧 $V_0=4V$ 、ゲート印加電圧 $V_g=-2V$ とすると、消費電流 $I_{wgs}=400mA$ が得られる。このときの帯域 Bw は20GHzである。

〔発明が解決しようとする問題点〕

上述した従来のマイクロ波モノリシック集積回路による分布型増幅器は、入、出力整合型増幅器に比べて、同一利得を得るためには、チップ上の電界効果トランジスタの総ゲート幅を広くしその相互コンダクタンス(gm)を上げる必要がある。ところで、総ゲート幅が広がることは、ドレインコンダクタンスが大きくなりインピーダンス整合を劣化させるところから利得低下を招き、また、ゲートソース間容量が増大するところから狭帯域化を招き、さらに、消費電力が増大し発熱量が増大して信頼度をも劣化させる欠点があつた。

本発明の目的は、上記の欠点除去するもので、電界効果トランジスタの総ゲート幅を狭くできて低消費電力化、高周波化、高信頼性化が図れるマイクロ波モノリシック集積回路を提供することにある。

〔問題点は解決するための手段〕

本発明は、半絶縁性化合物基板の主表面上に、複数の分布型増幅器を段間回路を介して縦続接続

により多段構成した回路を含むマイクロ波モノリシック集積回路において、上記段間回路の特性インピーダンスを上記マイクロ波モノリシック集積回路の入、出力特性インピーダンスより高く設定したことを特徴とする。

〔作用〕

本発明は、段間回路の特性インピーダンスをマイクロ波モノリシック集積回路の入出力の特性インピーダンス、例えば 50Ω よりも大きく、例えば 60Ω に設定するので、電界効果トランジスタの相互コンダクタンス(gm)がインピーダンスが高い分だけ小さくとも良い。このため、若し同一利得を得るためであれば、総ゲート幅を狭くでき、その消費電力が小さく、高周波化できる。また、同じ総ゲート幅であれば、帯域 Bw が狭くなるものの、同電力で高い利得を得ることができる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は、本発明の一実施例を示すブロック構成図である。1段の分布型増幅器1, 2が段間回路3を介して縦続接続される。そして各々の特性インピーダンスは、次のように設定される。前段の分布型増幅器1の入力インピーダンス4aと後段の分布型増幅器2の出力インピーダンス5aはマイクロ波モノリシック集積回路チップの入、出力の特性インピーダンスであり例えば 50Ω 、前段の分布型増幅器1の出力インピーダンス6aと段間回路3の入力インピーダンス7aは等しくして、マイクロ波モノリシック集積回路チップの入、出力のインピーダンスより大きい値例えば 60Ω に設定する。また、段間回路3の出力インピーダンス8aと後段の分布型増幅器2の入力インピーダンス9aは等しくしてマイクロ波モノリシック集積回路チップの入、出力の特性インピーダンスより大きい値例えば 60Ω に設定する。

ここで、帯域を $Bw=20GHz$ と一定とすると、用いるFETに例えば、 $Wg=80\mu m$ を用いることができる。このときの相互コンダクタンス gm' は、 $gm'=80/100 \times 25=0.02S$ である。

そこで、第3図の回路でその利得を求めると、 $\log[0.02 \times 3 \times 50 \times 60] \times k \times 2=11.3dB$ ($k=2.5$ のとき)が得られ、段間インピーダンス $Z_0'=50\Omega$ のときと同等性能が、総ゲート幅 $=80\mu m \times$

5

$3 \times 2 = 480 \mu\text{m}$ の総ゲート幅で実現できる。このときのドレイン印加電圧 $V_D = 4\text{V}$ 、ゲート印加電圧 $V_G = -2\text{V}$ とすると、 $I_{\text{total}} = 400\text{mA} \times 480 / 600 = 320\text{mA}$ にて得られる。すなわち、段間インピーダンス $Z_0' = 60 \Omega$ とすることで、約11dBの利得、帯域20GHzが、消費電流400mAの分布型増幅器として得ることがができる。

また、一方、従来と同じゲート幅 $W_g = 100 \mu\text{m}$ では、帯域が狭くなるものと、同じ電力で、利得が11.8dBと利得増を実現することがができる。

なお、本実施例において、段間回路3の代わりに線路を用いた場合も同様である。

このように本発明の特徴は、第1図において、段間回路3の入、出力インピーダンス7a、8aを、分布型増幅器1の入力インピーダンス4a、分布型増幅器2の出力インピーダンス5aよりも大きくしたとことにある。

〔発明の効果〕

以上説明したように本発明は、多段分布型増幅器を構成したマイクロ波モノリシック集積回路において、段間回路の特性インピーダンスをマイク

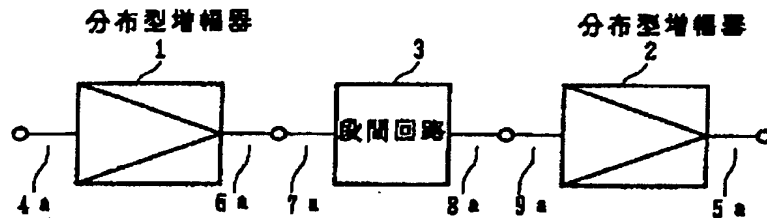
6

ロ波モノリシック集積回路の入、出力の特性インピーダンスより大きい値となるよう回路構成することにより、電界効果トランジスタの総ゲート幅を狭くして、消費電力を小さくしながら同一利得を得ることが可能となった。これにより電界効果トランジスタのドレインコンダクタンスによる損失の改善と、ゲートソース間容量の低減による高周波特性の改善をもたらすことができる。また、消費電力を小さくすることにより、発熱量減少により信頼性向上が図れる効果がある。さらに、段間回路の特性インピーダンスが高いことは、ストリップライン線路幅を細くでき、チップサイズの小形化と低価格化も実現できる。

図面の簡単な説明

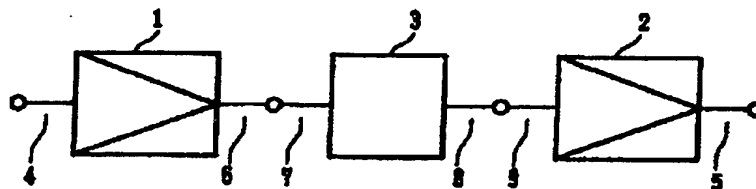
第1図は本発明の一実施例を示すブロック構成図。第2図は従来例を示すブロック構成図。第3図は具体的な回路例図。

1, 2……分布型増幅器、3……段間回路、4, 4a, 7, 7a, 9, 9a……入力インピーダンス、5, 5a, 6, 6a, 8, 8a……出力インピーダンス。



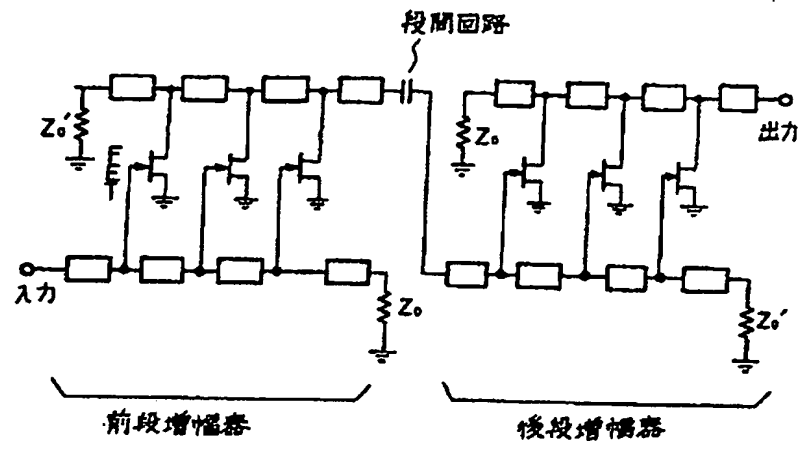
実施例

第 1 図



従来例

第 2 図



第 3 図